

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036128

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 31/10

G01C 3/06

G01J 1/44

G02B 7/28

G03B 13/36

(21)Application number : 11-203502

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 16.07.1999

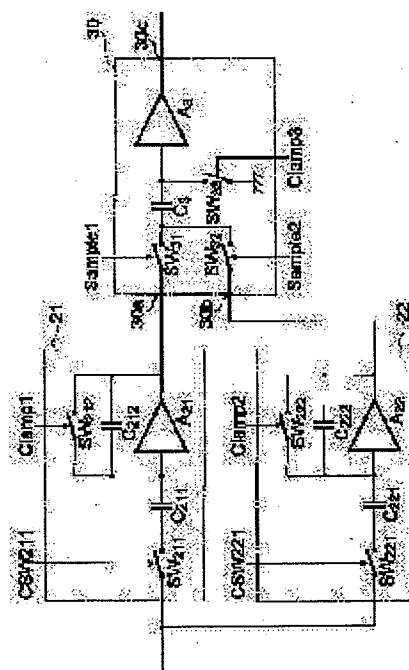
(72)Inventor : MIZUNO SEIICHIRO
FUNAKOSHI HARUHIRO

(54) PHOTODETECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photodetector satisfactory in S/N ratio.

SOLUTION: In this photodetector, current signals are outputted from a photodiode PD corresponding to the light volume which it receives, electric charge is accumulated in an integrating circuit 10 corresponding to the current signals, and voltage signals are outputted from the integrating circuit 10 corresponding to the amount of accumulated electric charge. Electric charges are stored in an integral capacitive element C212 in a first CDS circuit 21 corresponding to a variation in voltage signals outputted from the integrating circuit 10. Similarly, electric charge is stored in an integral capacitive element C222 in a second CDS circuit 22, corresponding to a variation in voltage signals outputted from the integrating circuit 10. A stored electric charge difference between the integral capacitive element C212 of the first CDS circuit 21 and the integral capacitive element C222 in the second CDS circuit 22 is obtained through a difference arithmetic circuit 30, and voltage signals are outputted from the difference arithmetic circuit which corresponds to the electric charge difference.



4/6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-36128

(P2001-36128A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 31/10

H 0 1 L 31/10

G 2 F 1 1 2

G 0 1 C 3/06

G 0 1 C 3/06

A 2 G 0 6 5

G 0 1 J 1/44

G 0 1 J 1/44

A 2 H 0 1 1

G 0 2 B 7/28

G 0 2 B 7/11

N 2 H 0 5 1

G 0 3 B 13/36

G 0 3 B 3/00

A 5 F 0 4 9

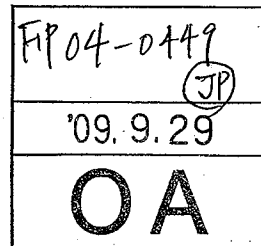
審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号

特願平11-203502

(22) 出願日

平成11年7月16日 (1999.7.16)



(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72) 発明者 船越 晴寛

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外3名)

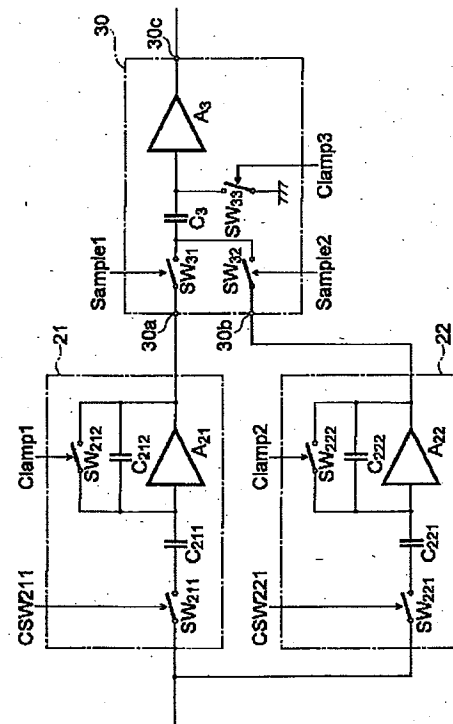
最終頁に続く

(54) 【発明の名称】 光検出装置

(57) 【要約】

【課題】 S/N比が優れた光検出装置を提供する。

【解決手段】 受光した光の光量に応じた電流信号がフォトダイオードPDから出力され、積分回路10では、この電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS回路21では、積分回路10から出力される電圧信号の変化量に応じた電荷が積分容量素子C₂₁に蓄積される。同様に、第2のCDS回路22では、積分回路10から出力される電圧信号の変化量に応じた電荷が積分容量素子C₂₂に蓄積される。そして、差分演算回路30では、第1のCDS回路21の積分容量素子C₂₁および第2のCDS回路22の積分容量素子C₂₂それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。



【特許請求の範囲】

【請求項1】 受光した光の光量に応じた電流信号を出力する受光素子と、前記受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、

前記積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第1の結合容量素子および第1の増幅器と、前記第1の増幅器の入出力間に並列的に設けられた第1の積分容量素子と、前記第1の積分容量素子に前記電圧信号の変化量に応じた電荷量を蓄積させる第1のスイッチ手段と、を有する第1のCDS回路と、

前記積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第2の結合容量素子および第2の増幅器と、前記第1の積分容量素子の容量値と等しい容量値を有し前記第2の増幅器の入出力間に並列的に設けられた第2の積分容量素子と、前記第2の積分容量素子に前記電圧信号の変化量に応じた電荷量を蓄積させる第2のスイッチ手段と、を有する第2のCDS回路と、

前記第1のCDS回路の前記第1の積分容量素子および前記第2のCDS回路の前記第2の積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、を備えることを特徴とする光検出装置。

【請求項2】 前記積分回路、前記第1のCDS回路、前記第2のCDS回路および前記差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、

前記タイミング制御回路は、前記投光手段により前記被写体に前記スポット光が投光されている第1の期間に、前記受光素子が当該スポット光成分および背景光成分を受光したときに前記積分回路が出力した電圧信号の変化量に基づいて第1の電荷量を前記第1のCDS回路の第1の積分容量素子に蓄積させ、

前記投光手段により前記被写体に前記スポット光が投光されていない第2の期間に、前記受光素子が前記背景光成分を受光したときに前記積分回路が出力した電圧信号の変化量に基づいて第2の電荷量を前記第2のCDS回路の第2の積分容量素子に蓄積させ、

前記第1および前記第2の期間の後の第3の期間に、前記第1のCDS回路の前記第1の積分容量素子および前記第2のCDS回路の前記第2の積分容量素子それぞれに蓄積されている電荷量の差分を前記差分演算回路に演算させて、その差分に応じた電圧信号を前記差分演算回路から出力させる、

ことを特徴とする請求項1記載の光検出装置。

【請求項3】 前記受光素子、前記積分回路、前記第1

のCDS回路、第2のCDS回路および前記差分演算回路をN組($N \geq 2$) 備え、

N個の前記差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路と、

N個の前記ホールド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路と、を更に備えることを特徴とする請求項1記載の光検出装置。

【請求項4】 N個の前記差分演算回路または前記ホールド回路それぞれから出力される電圧信号の最大値を検出する最大値検出回路を更に備え、

前記A/D変換回路は前記最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定する、ことを特徴とする請求項3記載の光検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、受光素子に入射する光のうち背景光成分を除去して信号光成分のみを検出する光検出装置に関するものである。

【0002】

【従来の技術】 光検出装置は、1以上の受光素子を有しており、各受光素子が出力した電流信号を積分回路により積分して、その積分結果である電圧信号を出力する。また、光検出装置によっては、アナログ信号である上記電圧信号をデジタル信号に変換(A/D変換)して、このデジタル信号を出力するものもある。もし、このA/D変換の際に電圧信号が所定値を越える場合には、その電圧信号に基づいてA/D変換され出力されるデジタル信号は、その所定値に対応する値となって飽和し、その結果、正確な光検出ができないという問題点がある。そこで、従来では、上記電圧信号の予想される最大値またはそれ以上の値を上記所定値として設定することにより、上記のような飽和が起こらないようにしていた。また、対数圧縮等のテクニックを用いてダイナミックレンジを拡げる場合もあった。

【0003】 また、光検出装置は、例えばカメラに組み込まれる測距装置に用いられている。この測距装置では、発光ダイオード等の投光手段から被写体に投光されたスポット光の反射を2つの光検出装置それぞれにより受光し、受光された2つの信号に基づいて測距が行われる。このとき、スポット光成分(信号光成分)を受光する際には背景光成分も重量されて受光されることから、スポット光が投光されていないときに2つの光検出装置それぞれにより背景光成分のみを受光して、両者の差分をとることでスポット光成分のみの信号を得て、測距精度の向上を図っている。

【0004】

【発明が解決しようとする課題】 しかし、従来の光検出

装置における積分回路では、積分回路の要素回路である増幅器が有する熱雑音等の各積分動作毎に異なる値の雑音成分に対して対策を施していないことから、ノイズ誤差が生じる可能性がある。したがって、この各積分動作毎に異なるノイズ成分により、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合には、光検出のS/N比は悪い。

【0005】また、従来の光検出装置におけるA/D変換では、飽和が起こらないようにするために上記所定値として大きな値を設定することから、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合には、出力されるデジタル信号の分解能は悪くなる。

【0006】さらに、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の受光結果から背景光成分の受光結果を差し引くことによりスポット光成分のみの信号を得る場合には、以下のような問題点がある。すなわち、スポット光成分に比べて背景光成分が大きい場合には、その背景光成分が重畳されたスポット光成分を受光したときの上記電圧信号が非常に大きくなり、それ故、飽和が起こらないようにするために上記所定値として更に大きな値を設定する必要がある。したがって、差し引いた結果として得られるスポット光成分に基づいて出力されるデジタル信号は分解能が更に悪くなる。

【0007】以上のように、従来の光検出装置ではS/N比が悪く、また、A/D変換する場合には出力されるデジタル信号の分解能が悪い。そこで、本発明は、上記問題点を解消する為になされたものであり、S/N比が優れた光検出装置を提供することを目的とする。また、A/D変換する場合に、受光量が大きくても飽和することなく、受光量が小さくても分解能が優れた光検出装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る光検出装置は、(1) 受光した光の光量に応じた電流信号を出力する受光素子と、(2) 受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、(3) 積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第1の結合容量素子および第1の増幅器と、第1の増幅器の入出力間に並列的に設けられた第1の積分容量素子と、第1の積分容量素子に電圧信号の変化量に応じた電荷量を蓄積させる第1のスイッチ手段と、を有する第1のCDS（相関二重サンプリング、Correlated Double Sampling）回路と、(4) 積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第2の結合容量素子および第2の増幅器と、上記第1の積分容量素子の容量値と等しい容量値を有し第2の増幅器の入出力間に並列的に設けられた第2の積分容量素子と、第2の積分容量素子に電圧信号の変化量に

応じた電荷量を蓄積させる第2のスイッチ手段と、を有する第2のCDS回路と、(5) 第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、を備えることを特徴とする。

【0009】この光検出装置によれば、受光した光の光量に応じた電流信号が受光素子から出力され、積分回路では、受光素子から出力された電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS（相関二重サンプリング、Correlated Double Sampling）回路では、積分回路から出力される電圧信号が第1の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第1の積分容量素子に第1のスイッチ手段により蓄積される。同様にして、第2のCDS回路でも、積分回路から出力される電圧信号が第2の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第2の積分容量素子に第2のスイッチ手段により蓄積される。そして、差分演算回路では、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

【0010】また、本発明に係る光検出装置は、積分回路、第1のCDS回路、第2のCDS回路および差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、タイミング制御回路は、(1) 投光手段により被写体にスポット光が投光されている第1の期間に、受光素子が当該スポット光成分および背景光成分を受光したときに積分回路が出力した電圧信号の変化量に基づいて第1の電荷量を第1のCDS回路の第1の積分容量素子に蓄積させ、(2) 投光手段により被写体にスポット光が投光されていない第2の期間に、受光素子が背景光成分を受光したときに積分回路が出力した電圧信号の変化量に基づいて第2の電荷量を第2のCDS回路の第2の積分容量素子に蓄積させ、(3) 第1および第2の期間の後の第3の期間に、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分を差分演算回路に演算させて、その差分に応じた電圧信号を差分演算回路から出力させる、ことを特徴とする。

【0011】この場合には、この光検出装置は、タイミング制御回路による制御の下に、以下のように作用する。すなわち、第1の期間に、受光素子がスポット光成分および背景光成分を受光したときに積分回路が出力した電圧信号の変化量に応じた第1の電荷量が第1のCDS回路の第1の積分容量素子に蓄積される。また、第2の期間に、受光素子が背景光成分を受光したときに積分

回路が出力した電圧信号の変化量に応じた第2の電荷量が第2のCDS回路の第2の積分容量素子に蓄積される。そして、第3の期間に、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が差分演算回路により求められて、その差分に応じた電圧信号が差分演算回路から出力される。この差分演算回路から出力される電圧信号は、スポット光成分に応じたものとなる。なお、第1および第2の期間のうち何れが先であってもよい。

【0012】また、本発明に係る光検出装置は、(1) 受光素子、積分回路、第1のCDS回路、第2のCDS回路および差分演算回路をN組($N \geq 2$) 備え、(2) N個の差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路を更に備え、また、(3) N個のホールド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路を更に備える、ことを特徴とする。

【0013】この場合には、受光素子、積分回路、第1のCDS回路、第2のCDS回路、差分演算回路およびホールド回路がN組備えられている。各組の差分演算回路から出力される電圧信号は、ホールド回路により保持される。そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。すなわち、1次元像または2次元像が撮像されて、その撮像結果がデジタル信号として出力される。また、本発明に係る光検出装置は、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値を検出する最大値検出回路を更に備え、A/D変換回路は、最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定する、ことを特徴とする。この場合には、最大値検出回路により、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出される。そして、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される。

【0014】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、Nは2以上の整数であり、添え字nは特に明示しない限り1からNまでの任意の整数を示すものとする。

【0015】先ず、本発明に係る光検出装置の実施形態について、図1～図7を用いて説明する。図1は本実施形態に係る光検出装置の全体の概略構成図である。本実施形態に係る光検出装置は、N個のユニット100₁～

100_N、最大値検出回路200、タイミング制御回路300、A/D変換回路400およびシフトレジスタ500を備えて構成されている。各ユニット100_iは、フォトダイオードPD、積分回路10、第1のCDS回路21、第2のCDS回路22、差分演算回路30、ホールド回路40およびスイッチ素子SW_iを含む。各ユニット100_iの積分回路10は互いに同様の構成であり、各ユニット100_iの第1のCDS回路21は互いに同様の構成であり、各ユニット100_iの第2のCDS回路22は互いに同様の構成であり、各ユニット100_iの差分演算回路30は互いに同様の構成であり、また、各ユニット100_iのホールド回路40は互いに同様の構成である。したがって、N個のユニット100₁～100_Nは互いに同様の構成である。

【0016】各ユニット100_iのフォトダイオードPDは、アノード端子が接地され、カソード端子が積分回路10の入力端子に接続されている。フォトダイオードPDは、受光した光の光量に応じた電流信号を、アノード端子から積分回路10の入力端子へ出力する。各ユニット100_iのフォトダイオードPDは、1次元像または2次元像に配置されており、1次元像または2次元像を受光する。

【0017】図2は本実施形態に係る光検出装置の積分回路10の回路図である。各ユニット100_iの積分回路10は、入力端子と出力端子との間に互いに並列にアンプA₁、容量素子C₁およびスイッチ素子SW₁が接続されている。積分回路10は、スイッチ素子SW₁が閉じているときには、容量素子C₁を放電して初期化する。一方、積分回路10は、スイッチ素子SW₁が開いているときには、フォトダイオードPDから入力端子に入力した電荷を容量素子C₁に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子SW₁は、タイミング制御回路300から出力されるReset信号に基づいて開閉する。

【0018】図3は、本実施形態に係る光検出装置の第1のCDS回路21、第2のCDS回路22および差分演算回路30それぞれの回路図である。

【0019】各ユニット100_iの第1のCDS回路21は、入力端子と出力端子との間に順にスイッチ素子SW₂₁₁、結合容量素子C₂₁₁およびアンプA₂₁を有している。また、アンプA₂₁の入出力間にスイッチ素子SW₂₁₂および積分容量素子C₂₁₂が互いに並列的に接続されている。スイッチ素子SW₂₁₁およびSW₂₁₂は、積分容量素子C₂₁₂に電荷を蓄積させるためのスイッチ手段として作用する。第1のCDS回路21は、スイッチ素子SW₂₁₂が閉じているときには、積分容量素子C₂₁₂を放電して初期化する。スイッチ素子SW₂₁₂が開きスイッチ素子SW₂₁₁が閉じているときには、入力端子から結合容量素子C₂₁₁を経て入力した第1の電荷を積分容量素子C₂₁₂に蓄積して、その蓄積された電荷に応じた電

圧信号を出力端子から出力する。スイッチ素子 SW_{211} は、タイミング制御回路300から出力されるCSW211信号に基づいて開閉する。また、スイッチ素子 SW_{212} は、タイミング制御回路300から出力されるClamp1信号に基づいて開閉する。

【0020】各ユニット100_nの第2のCDS回路22は、入力端子と出力端子との間に順にスイッチ素子 SW_{221} 、結合容量素子 C_{221} およびアンプ A_{22} を有している。また、アンプ A_{22} の入出力間にスイッチ素子 SW_{222} および積分容量素子 C_{222} が互いに並列的に接続されている。スイッチ素子 SW_{221} および SW_{222} は、積分容量素子 C_{222} に電荷を蓄積させるためのスイッチ手段として作用する。第2のCDS回路22の積分容量素子 C_{222} の容量値は、第1のCDS回路21の積分容量素子 C_{212} の容量値と等しい。第2のCDS回路22は、スイッチ素子 SW_{222} が閉じているときには、積分容量素子 C_{222} を放電して初期化する。スイッチ素子 SW_{222} が開きスイッチ素子 SW_{221} が閉じているときには、入力端子から結合容量素子 C_{221} を経て入力した第2の電荷を積分容量素子 C_{222} に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子 SW_{221} は、タイミング制御回路300から出力されるCSW221信号に基づいて開閉する。また、スイッチ素子 SW_{222} は、タイミング制御回路300から出力されるClamp2信号に基づいて開閉する。

【0021】各ユニット100_nの差分演算回路30は、2つの入力端子30aおよび30bならびに1つの出力端子30cを有しており、第1の入力端子30aが第1のCDS回路21の出力端子に接続され、第2の入力端子30bが第2のCDS回路22の出力端子に接続されている。差分演算回路30は、スイッチ素子 SW_{31} ～ SW_{33} 、容量素子 C_3 およびアンプ A_3 を備える。第1の入力端子30aと出力端子30cとの間に順に、スイッチ素子 SW_{31} 、容量素子 C_3 およびアンプ A_3 が配され、第2の入力端子30bと出力端子30cとの間に順に、スイッチ素子 SW_{32} 、容量素子 C_3 およびアンプ A_3 が配されている。また、容量素子 C_3 とアンプ A_3 との接続点がスイッチ素子 SW_{33} を介して接地されている。

【0022】この差分演算回路30は、スイッチ素子 SW_{33} を閉じているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ閉じることで、第1のCDS回路21から出力された電圧信号を入力して、容量素子 C_3 に電荷Q1だけ充電する。また、差分演算回路30は、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第2のCDS回路22から出力された電圧信号を入力して、容量素子 C_3 から電荷Q2を放電する。このようにして、差分演算回路30は、電荷Q1と電荷Q2との差分すなわち電荷(Q1-Q2)を容量素子 C_3 に蓄積して、その蓄積された電荷(Q1-Q2)

に応じた電圧信号をアンプ A_3 から出力する。スイッチ素子 SW_{31} は、タイミング制御回路300から出力されるSample1信号に基づいて開閉する。スイッチ素子 SW_{32} は、タイミング制御回路300から出力されるSample2信号に基づいて開閉する。また、スイッチ素子 SW_{33} は、タイミング制御回路300から出力されるClamp3信号に基づいて開閉する。

【0023】図4は本実施形態に係る光検出装置のホールド回路40の回路図である。各ユニット100_nのホールド回路40は、入力端子と出力端子との間に順にスイッチ素子 SW_4 およびアンプ A_4 を有し、スイッチ素子 SW_4 とアンプ A_4 との接続点が容量素子 C_4 を介して接地されている。ホールド回路40は、スイッチ素子 SW_4 が閉じているときに差分演算回路30から出力された電圧信号を容量素子 C_4 に記憶し、スイッチ素子 SW_4 が開いた後も、容量素子 C_4 の電圧信号を保持して、その電圧信号をアンプ A_4 を介して出力する。スイッチ素子 SW_4 は、タイミング制御回路300から出力されるHold信号に基づいて開閉する。各ユニット100_nのスイッチ素子 SW_5 は、シフトレジスタ500により制御されて順次に関き、ホールド回路40から出力される電圧信号をA/D変換回路400に順次に入力させる。

【0024】図5は本実施形態に係る光検出装置の最大値検出回路200の回路図である。最大値検出回路200は、NMOSトランジスタ T_1 ～ T_n 、抵抗器 R_{201} ～ R_{203} および差動アンプ A_{201} を備える。各トランジスタ T_n のソース端子は接地され、各トランジスタ T_n のドレイン端子は、抵抗器 R_{203} を介して電源電圧Vddに接続されるとともに、抵抗器 R_{201} を介して差動アンプ A_{201} の反転入力端子に接続されている。各トランジスタ T_n のゲート端子は、ユニット100_nのホールド回路40の出力端子と接続されており、ホールド回路40から出力される電圧信号 V_{ns} が入力する。また、差動アンプ A_{201} の反転入力端子と出力端子との間には抵抗器 R_{202} が設けられ、差動アンプ A_{201} の非反転入力端子は接地されている。この最大値検出回路200では、各ユニット100_nのホールド回路40から出力された電圧信号 V_{ns} がトランジスタ T_n のゲート端子に入力され、各電圧信号 V_{ns} のうちの最大値に応じた電位がトランジスタ T_n のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 R_{201} および R_{202} それぞれの抵抗値の比に応じた増幅率で差動アンプ A_{201} により増幅され、その増幅された電圧の値が最大電圧値 V_{max} として出力端子からA/D変換回路400へ出力される。

【0025】図6は本実施形態に係る光検出装置のA/D変換回路400の回路図である。A/D変換回路400は、最大値検出回路200から出力される最大電圧値 V_{max} を入力し、この最大電圧値 V_{max} をA/D変換レンジとする。そして、A/D変換回路400は、各ユニット100_nのホールド回路40から出力される電圧信号

V_{in} をスイッチ素子 SW_5 を介して順次に入力し、その電圧信号（アナログ信号）をデジタル信号に変換して出力する。A/D変換回路400は、可変容量積分回路410、比較回路402、容量制御部420および読み出し部430を備える。

【0026】可変容量積分回路410は、容量素子 C_{401} 、アンプ A_{401} 、可変容量部 C_{400} およびスイッチ素子 SW_{401} を備える。アンプ A_{401} は、各ユニット100のホールド回路40から出力されスイッチ素子 SW_5 を介して順次に到達した電圧信号 V_{in} を、容量素子 C_{401} を介して反転入力端子に入力する。アンプ A_{401} の非反転入力端子は接地されている。可変容量部 C_{400} は、容量が可変であって制御可能であり、アンプ A_{401} の反転入力端子と出力端子との間に設けられ、入力した電圧信号に応じて電荷を蓄える。スイッチ素子 SW_{401} は、アンプ A_{401} の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{400} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{400} における電荷蓄積をリセットする。そして、可変容量積分回路410は、各ユニット100から順次に出力された電圧信号 V_{in} を入力し、可変容量部 C_{400} の容量に応じて積分し、積分した結果である積分信号を出力する。

【0027】比較回路402は、可変容量積分回路410から出力された積分信号を反転入力端子に入力し、最大値検出回路200から出力された最大電圧値 V_{max} を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

【0028】容量制御部420は、比較回路402から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部 C_{400} の容量を制御する容量指示信号 C を出力するとともに、この比較結果信号に基づいて積分信号の値と最大電圧値 V_{max} とが所定の分解能で一致していると判断した場合に可変容量部 C_{400} の容量値に応じた第1のデジタル信号を出力する。

【0029】読み出し部430は、容量制御部420から出力された第1のデジタル信号を入力し、この第1のデジタル信号に対応する第2のデジタル信号を出力する。第2のデジタル信号は、第1のデジタル信号の値から可変容量積分回路410のオフセット値を除去した値を示すものである。読み出し部430は、例えば記憶素子であり、第1のデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2のデジタル信号として出力する。この第2のデジタル信号は、本実施形態に係る光検出装置から出力される光検出信号となる。

【0030】図7はA/D変換回路400中の可変容量積分回路410の詳細な回路図である。この図では、 $1/2^4 = 1/16$ の分解能を有するA/D変換機能を備える回路構成を示し、以下、この回路構成で説明する。

【0031】この図に示すように、可変容量部 C_{400} は、容量素子 $C_{411} \sim C_{414}$ 、スイッチ素子 $SW_{411} \sim SW_{414}$ およびスイッチ素子 $SW_{421} \sim SW_{424}$ を備える。

容量素子 C_{411} およびスイッチ素子 SW_{411} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{421} は、容量素子 C_{411} およびスイッチ素子 SW_{411} の接続点と接地電位との間に設けられている。容量素子 C_{412} およびスイッチ素子 SW_{412} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{422} は、容量素子 C_{412} およびスイッチ素子 SW_{412} の接続点と接地電位との間に設けられている。容量素子 C_{413} およびスイッチ素子 SW_{413} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{423} は、容量素子 C_{413} およびスイッチ素子 SW_{413} の接続点と接地電位との間に設けられている。また、容量素子 C_{414} およびスイッチ素子 SW_{414} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{424} は、容量素子 C_{414} およびスイッチ素子 SW_{414} の接続点と接地電位との間に設けられている。

【0032】スイッチ素子 $SW_{411} \sim SW_{414}$ それぞれは、容量制御部420から出力された容量指示信号 C のうち $C_{11} \sim C_{14}$ に基づいて開閉する。スイッチ素子 $SW_{421} \sim SW_{424}$ それぞれは、容量制御部420から出力された容量指示信号 C のうち $C_{21} \sim C_{24}$ に基づいて開閉する。また、容量素子 $C_{411} \sim C_{414}$ の容量値を $C_{411} \sim C_{414}$ で表すとすれば、これらは、

$$C_{411} = 2C_{412} = 4C_{413} = 8C_{414} \quad \dots (1)$$

$$C_{411} + C_{412} + C_{413} + C_{414} = C_0 \quad \dots (2)$$

なる関係を満たす。

【0033】次に、本実施形態に係る光検出装置の動作について、図8および図9を用いて説明する。図8は、本実施形態に係る光検出装置の動作を説明するためのタイミングチャートである。なお、以下では、本実施形態に係る光検出装置が発光ダイオード等の投光手段（図示せず）とともに測距装置を構成する場合について説明する。すなわち、以下に説明する動作は、背景光成分を除去して、発光ダイオードから被写体に投光されたスポット光成分（信号光成分）のみについての光検出信号を出力するものである。

【0034】時刻 t_1 に、Reset信号が論理Hとなることにより、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp1信号も論理Hとなることにより、第1のCDS回路21のスイッチ素子 SW_{212} が閉じて、第1のCDS回路21におけるCDS動作が停止される。

【0035】時刻 t_2 に、Reset信号が論理Lとなることにより、積分回路10のスイッチ素子 SW_1 が開く。そ

して、時刻 t_2 以降、フォトダイオードPDから出力された電荷が容量素子 C_1 に蓄積されていき、積分回路10の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 t_2 では、Clamp1信号は論理Hのままであり、第1のCDS回路21のスイッチ素子 SW_{211} は閉じたままである。また、時刻 t_2 では、CSW211信号は論理Lであり、第1のCDS回路21のスイッチ素子 SW_{211} は開いている。

【0036】時刻 t_3 に、Clamp1信号が論理Lとなることにより、第1のCDS回路21のスイッチ素子 SW_{211} が開き、また、CSW211信号が論理Hとなることにより、第1のCDS回路21のスイッチ素子 SW_{211} が閉じる。そして、時刻 t_3 から一定時間T経過後の時刻 t_4 に、CSW211信号が論理Lとなることにより、第1のCDS回路21のスイッチ素子 SW_{211} が開く。

【0037】時刻 $t_2 \sim t_4$ の期間では、発光ダイオードから被写体にスポット光が投光されている。したがって、発光ダイオードから投光され被写体により反射されたスポット光成分および背景光成分の双方がフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力される。そして、その電流信号を入力した積分回路10では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力される。また、時刻 $t_3 \sim t_4$ の期間（第1の期間）では、積分回路10の出力端子から出力される電圧信号が第1のCDS回路21に入力して、時刻 t_3 以降の入力電圧信号の変化分に相当する電荷が積分容量素子 C_{212} に蓄積され、その蓄積された電荷の量に応じた電圧信号が第1のCDS回路21から出力される。したがって、時刻 t_4 以降に第1のCDS回路21から出力される電圧信号は、時刻 t_3 および時刻 t_4 それぞれに積分回路10から出力される電圧信号の差に相当する電圧値 V_{n1} となり、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0038】時刻 t_4 に、Reset信号が論理Hとなることにより、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp2信号も論理Hとなることにより、第2のCDS回路22のスイッチ素子 SW_{222} が閉じて、第2のCDS回路22におけるCDS動作が停止される。

【0039】時刻 t_5 に、Reset信号が論理Lとなることにより、積分回路10のスイッチ素子 SW_1 が開く。そして、時刻 t_5 以降、フォトダイオードPDから出力された電荷が容量素子 C_1 に蓄積されていき、積分回路10の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 t_5 では、Clamp2信号は論理Hのままであり、第2のCDS回路22のスイッチ素子 SW_{222} は閉じたままである。また、時刻 t_5 では、CSW221信号は論理Lであり、第2のCDS回路22のスイッチ素子 SW_{221} は開いている。

【0040】時刻 t_6 に、Clamp2信号が論理Lとなることにより、第2のCDS回路22のスイッチ素子 SW_{222} が開き、また、CSW221信号が論理Hとなることにより、第2のCDS回路22のスイッチ素子 SW_{221} が閉じる。そして、時刻 t_6 から一定時間T経過後の時刻 t_7 に、CSW221信号が論理Lとなることにより、第2のCDS回路22のスイッチ素子 SW_{221} が開く。

【0041】時刻 $t_5 \sim t_7$ の期間では、発光ダイオードから被写体にスポット光が投光されていない。したがって、背景光成分のみがフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力される。そして、その電流信号を入力した積分回路10では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力される。また、時刻 $t_6 \sim t_7$ の期間（第2の期間）では、積分回路10の出力端子から出力される電圧信号が第2のCDS回路22に入力して、時刻 t_6 以降の入力電圧信号の変化分に相当する電荷が積分容量素子 C_{222} に蓄積され、その蓄積された電荷の量に応じた電圧信号が第2のCDS回路22から出力される。したがって、時刻 t_7 以降に第2のCDS回路22から出力される電圧信号は、時刻 t_6 および時刻 t_7 それぞれに積分回路10から出力される電圧信号の差に相当する電圧値 V_{n2} となり、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0042】時刻 t_7 以降では、第1のCDS回路21の積分容量素子 C_{212} に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するものであり、第2のCDS回路22の積分容量素子 C_{222} に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻 $t_3 \sim t_4$ までの期間（第1の期間）と時刻 $t_6 \sim t_7$ までの期間（第2の期間）とは互いに等しい時間Tであり、第1のCDS回路21の積分容量素子 C_{212} および第2のCDS回路22の積分容量素子 C_{222} それぞれの容量は互いに等しいので、電圧値 V_{n1} は、スポット光成分と背景光成分とを加算したものに相当するものであり、電圧値 V_{n2} は、背景光成分のみに相当するものであり、したがって、これら間の電圧差 $\Delta V_n = (V_{n1} - V_{n2})$ は、スポット光成分のみに相当するものである。そこで、時刻 t_5 以降では、この電圧差 ΔV_n が差分演算回路30により以下のようにして求められる。

【0043】時刻 t_7 以降（第3の期間）、Reset信号は論理Hであり、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化状態が維持される。Clamp1信号は論理Lであり、第1のCDS回路21のスイッチ素子 SW_{212} が開いたままである。また、Clamp2信号は論理Lであり、第2のCDS回路22のスイッチ素子 SW_{222} が開いたままである。

【0044】時刻 t_7 以降の第3の期間のうち時刻 $t_8 \sim$

t_9 の期間に、Sample1信号は論理Hであり、差分演算回路30のスイッチ素子 SW_{31} は閉じる。このとき、Sample2信号は論理Lであり、差分演算回路30のスイッチ素子 SW_{32} は開いており、また、Clamp3信号は論理Hであり、差分演算回路30のスイッチ素子 SW_{33} は閉じている。この期間に、第1のCDS回路21の出力端子から出力される電圧値 V_{n1} が差分演算回路30のスイッチ素子 SW_{31} を介して容量素子 C_3 に入力し、その電圧値 V_{n1} が容量素子 C_3 に保持される。

【0045】時刻 t_7 以降の第3の期間のうち時刻 t_{10} ～ t_{11} の期間に、Sample2信号は論理Hであり、差分演算回路30のスイッチ素子 SW_{32} は閉じる。このとき、Sample1信号は論理Lであり、差分演算回路30のスイッチ素子 SW_{31} は開いており、また、Clamp3信号は論理Lであり、差分演算回路30のスイッチ素子 SW_{33} は開いている。この期間に、第2のCDS回路22の出力端子から出力される電圧値 V_{n2} が差分演算回路30のスイッチ素子 SW_{32} を介して容量素子 C_3 に入力する。このとき、差分演算回路30のスイッチ素子 SW_{33} は開いているので、差分演算回路30の容量素子 C_3 には、電圧値 V_{n2} と電圧値 V_{n1} との差 ΔV_n が保持される。この電圧値 ΔV_n は、スポット光成分のみに相当するものである。

【0046】そして、時刻 t_{10} にHold信号が論理Hとなり、ホールド回路40のスイッチ素子 SW_4 が閉じると、差分演算回路30の容量素子 C_3 に保持されている電圧値 ΔV_n は、差分演算回路30のアンプ A_3 およびホールド回路40のスイッチ素子 SW_4 を経て、ホールド回路40の容量素子 C_4 に保持される。時刻 t_{11} にHold信号が論理Lとなってスイッチ素子 SW_4 が開いた後も、ホールド回路40の容量素子 C_4 に保持された電圧値 ΔV_n は、アンプ A_4 から電圧信号 V_{n3} として出力される。

【0047】各ユニット100_nのホールド回路40から出力された電圧信号 V_{n3} は、最大値検出回路200に入力して最大電圧値 V_{max} が検出される。また、各ユニット100_nのスイッチ素子 SW_5 がシフトレジスタ500により順次に閉じられて、各ユニット100_nのホールド回路40から出力された電圧信号 V_{n3} はA/D変換回路400に順次に入力する。

【0048】続いて、図9を用いて、A/D変換回路400の動作を説明する。時刻 t_{11} においては、可変容量積分回路410のスイッチ素子 SW_{401} は閉じられ、可変容量積分回路410はリセット状態とされている。また、可変容量積分回路410のスイッチ素子 SW_{411} ～ SW_{414} それぞれが閉じられ、スイッチ素子 SW_{421} ～ SW_{424} それぞれが閉じられて、可変容量部 C_{400} の容量値が C_0 に設定されている。

【0049】そして、時刻 t_{11} 以降の或る時刻に、A/D変換回路400のスイッチ素子 SW_{401} が開かれ、第

1番目のユニット100₁のスイッチ素子 SW_5 が閉じられる。ユニット100₁のホールド回路40から出力された電圧信号 V_{13} は、スイッチ素子 SW_5 を介して、A/D変換回路400の可変容量積分回路410に入力する。可変容量積分回路410の容量素子 C_{401} に電圧信号 V_{13} が入力すると、その電圧信号 V_{13} の値と可変容量部 C_{400} の容量値 C_0 に応じた電荷 Q が可変容量部 C_{400} に流入する(図9(a)参照)。このとき、可変容量積分回路410から出力される積分信号の値 V_{s1} は、 $V_{s1} = V_{13} = Q/C_0$ …(3)

なる式で表される。

【0050】引き続き、容量制御部420は、可変容量部 C_{400} のスイッチ素子 SW_{412} ～ SW_{414} を開いた後、スイッチ素子 SW_{422} ～ SW_{424} を閉じる(図9(b)参照)。この結果、可変容量部 C_{400} の容量値は C_{411} となり、可変容量積分回路410から出力される積分信号の値 V_{s2} は、

$$V_{s2} = Q/C_{411} \quad \dots(4)$$

となる。この積分信号は、比較回路 A_{402} に入力し、その値が最大電圧値 V_{max} と大小比較される。

【0051】もし、 $V_{s2} > V_{max}$ であれば、この比較結果を受けて容量制御部420は、さらに、可変容量部 C_{400} のスイッチ素子 SW_{422} を開いた後に、スイッチ素子 SW_{412} を閉じる(図9(c)参照)。この結果、可変容量部 C_{400} の容量値は $C_{411} + C_{412}$ となり、可変容量積分回路410から出力される積分信号の値 V_{s3} は、 $V_{s3} = Q/(C_{411} + C_{412})$ …(5)

となる。この積分信号は、比較回路 A_{402} に入力し、その値が最大電圧値 V_{max} と大小比較される。

【0052】また、 $V_{s3} < V_{max}$ であれば、この比較結果を受けて容量制御部420は、さらに、可変容量部 C_{400} のスイッチ素子 SW_{411} および SW_{422} を開いた後に、スイッチ素子 SW_{412} および SW_{421} を閉じる(図9(d)参照)。この結果、可変容量部 C_{400} の容量値は C_{412} となり、可変容量積分回路410から出力される積分信号の値 V_{s4} は、 $V_{s4} = Q/C_{412}$ …(6)

となる。この積分信号は、比較回路 A_{402} に入力し、その値が最大電圧値 V_{max} と大小比較される。

【0053】以後、同様にして、可変容量積分回路410、比較回路 A_{402} および容量制御部420からなるフィードバックループにより、積分信号の値と基準電位 V_{max} とが所定の分解能で一致していると容量制御部420により判断されるまで、可変容量部 C_{400} の容量値の設定、および、積分信号の値と最大電圧値 V_{max} との大小比較を繰り返す。容量制御部420は、このようにして可変容量部 C_{400} の容量素子 C_{411} ～ C_{414} の全てについて容量制御を終了すると、可変容量部 C_{400} の最終的な容量値に応じたデジタル信号を読み出し部430へ向けて出力する。

【0054】読み出し部430では、容量制御部420から出力されたデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデジタルデータを、本実施形態に係る光検出装置の光検出信号として出力する。以上のようにして、第1番目のユニット100₁のフォトダイオードPDが受光したスポット光の光量に応じた電圧信号 V_{n1} は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として出力される。以降同様に、第2番目以降のユニット100_nのフォトダイオードPDが受光した

スポット光の光量に応じた電圧信号 V_{n2} は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として順次に出力される。

【0055】可変容量積分回路410に入力する各電圧信号 V_{n1} の最大値が最大電圧値 V_{max} であり、可変容量部 C_{400} の容量値の最大値が C_0 であることから、上記(3)式より、可変容量部 C_{400} に流入する電荷 Q の最大値は $V_{max} \cdot C_0$ である。そして、或る第 n 番目の電圧信号 V_{n1} が最大電圧値 V_{max} であるときには、可変容量部 C_{400} のスイッチ素子 $SW_{411} \sim SW_{414}$ の全てが閉じられて可変容量部 C_{400} の容量値は C_0 となる。一方、他の或る第 n 番目の電圧信号 V_{n1} が最大電圧値 V_{max} より小さい値であるときには、可変容量部 C_{400} に流入する電荷 Q は $V_{max} \cdot C_0$ より小さいので、可変容量部 C_{400} のスイッチ素子 $SW_{411} \sim SW_{414}$ のうち何れかが開くことにより、可変容量積分回路410から出力される積分信号は最大電圧値 V_{max} と等しくなる。

【0056】以上のように、最大値検出回路200から出力され比較回路 A_{402} に入力される最大電圧値 V_{max} は、A/D変換回路400が飽和することなくA/D変換することができる電圧信号 V_{n1} の最大値すなわちA/D変換レンジを規定している。しかも、A/D変換回路400に入力する各電圧信号 V_{n1} のうち何れかの値は必ず最大電圧値 V_{max} であるから、上記A/D変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る光検出装置は、受光量が大きくても飽和することなく、且つ、受光量が小さくてもA/D変換の分解能が優れたものとなる。

【0057】また、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の受光結果から背景光成分の受光結果を差し引くことによりスポット光成分のみの信号を得る場合であって、フォトダイオードPDが受光する光のうちスポット光成分に比べて背景光成分が大きい場合であっても、その差し引いた結果として得られるスポット光成分に基づいてA/D変換回路400から出力されるデジタル信号は、分解能が優れたものとなる。

【0058】さらに、本実施形態では、スポット光成分および背景光成分の双方がフォトダイオードPDにより受光されているときに、一定時間 T における積分回路1

0から出力される電圧信号の変動分 V_{n1} が第1のCDS回路21の積分容量素子 C_{212} に保持される。また、背景光成分のみがフォトダイオードPDにより受光されているときに、一定時間 T における積分回路10から出力される電圧信号の変動分 V_{n2} が第2のCDS回路22の積分容量素子 C_{222} に保持される。そして、その後に、電圧値 V_{n1} と電圧値 V_{n2} との差に相当する電圧信号 V_{n3} が、差分演算回路30により求められ、ホールド回路40から出力される。したがって、第1のCDS回路21から出力される電圧値 V_{n1} 、第2のCDS回路22から出力される電圧値 V_{n2} 、および、ホールド回路40から出力される電圧信号 V_{n3} それぞれは、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0059】次に、本発明に係る光検出装置における差分演算回路の他の実施形態について説明する。図10は、他の実施形態に係る光検出装置の差分演算回路30Aの回路図である。この差分演算回路30Aは、図1における差分演算回路30に替えて用いられるものである。差分演算回路30Aは、2つの入力端子30aおよび30bならびに1つの出力端子30cを有しており、第1の入力端子30aが第1のCDS回路21の出力端子に接続され、第2の入力端子30bが第2のCDS回路22の出力端子に接続されている。差分演算回路30Aは、スイッチ素子 $SW_{31} \sim SW_{33}$ 、容量素子 C_{31} および C_{32} 、ならびにアンプ A_3 を備える。第1の入力端子30aと出力端子30cとの間に順に、スイッチ素子 SW_{31} 、容量素子 C_{31} およびアンプ A_3 が配され、第2の入力端子30bと出力端子30cとの間に順に、スイッチ素子 SW_{32} 、容量素子 C_{31} およびアンプ A_3 が配されている。また、アンプ A_3 の入出力間にスイッチ素子 SW_{33} および容量素子 C_{32} が互いに並列的に接続されている。

【0060】この図10に示す差分演算回路30Aは、図3に示した差分演算回路30と略同様に動作する。すなわち、この差分演算回路30Aは、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ閉じることで、第1のCDS回路21から出力された電圧信号を入力して、容量素子 C_{32} に電荷 Q_1 だけ充電する。また、差分演算回路30Aは、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第2のCDS回路22から出力された電圧信号を入力して、容量素子 C_{32} から電荷 Q_2 を放電する。このようにして、差分演算回路30Aは、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_{32} に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧信号をアンプ A_3 から出力する。スイッチ素子 SW_{31} は、タイミング制御回路300から出力されるSample1信号に基づいて開閉する。スイッチ素子 SW_{32} は、タイミング制御回路300から出力されるSa

mp1e2信号に基づいて開閉する。また、スイッチ素子S_{W3}は、タイミング制御回路300から出力されるClamp3信号に基づいて開閉する。

【0061】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、A/D変換回路400を設けることなく、各ユニット100_nのホールド回路40から電圧信号V_nを光検出装置の出力信号として順次に出力してもよい。

【0062】また、上記実施形態では、2以上のフォトダイオードを有する光検出装置すなわち撮像装置について説明したが、1つのフォトダイオードを有する光検出装置にも本発明を適用することができる。この場合には、フォトダイオードPD、積分回路10、第1のCDS回路21、第2のCDS回路22および差分演算回路30（または30A）を1組だけ備えれば充分であり、同様にしてS/N比が優れたものとなる。

【0063】また、上記実施形態では、各ユニット100_nのホールド回路40から出力される電圧信号V_nのうちの最大値を最大値検出回路200により検出したが、各ユニット100_nの差分演算回路30（または30A）から出力される電圧信号のうちの最大値を最大値検出回路200により検出してもよい。

【0064】

【発明の効果】以上、詳細に説明したとおり、本発明によれば、受光した光の光量に応じた電流信号が受光素子から出力され、積分回路では、受光素子から出力された電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS回路では、積分回路から出力される電圧信号が第1の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第1の積分容量素子に第1のスイッチ手段により蓄積される。同様にして、第2のCDS回路でも、積分回路から出力される電圧信号が第2の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第2の積分容量素子に第2のスイッチ手段により蓄積される。そして、差分演算回路では、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

【0065】したがって、積分回路が各積分動作毎に異なるノイズばらつきを有していても、第1および第2のCDS回路それぞれによりノイズ誤差が解消される。また、第1の期間に、第1のCDS回路の第1の積分容量素子にスポット光成分（信号光成分）および背景光成分に応じた電荷が蓄積され、第2の期間に、第2のCDS回路の第2の積分容量素子に背景光成分に応じた電荷が蓄積され、そして、第3の期間に両者の差分が差分演算回路で求められるので、差分演算回路から出力される電圧信号は、スポット光成分（信号光成分）のみに応じた

ものである。このように、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合であっても、光検出のS/N比は優れたものとなる。

【0066】さらに、発光ダイオード等の投光手段の発光タイミングの都合により、積分回路への電荷の蓄積の順序を変更しなければならない場合、すなわち、上記第1の期間および上記第2の期間を変更しなければならない場合、従来技術では、積分回路に続く回路系が固定されて片極性しか動作が許されないことから、このような変更は不可能であった。しかし、本発明によれば、第1および第2のCDS回路は互いに独立に制御可能であるので、これらに蓄積された情報も互いに独立に取り出すことができる。すなわち、本発明によれば、上記第1の期間および上記第2の期間を容易に変更することができる。

【0067】また、受光素子、積分回路、第1のCDS回路、第2のCDS回路、差分演算回路およびホールド回路がN組備えられ、各組の差分演算回路から出力される電圧信号がホールド回路により保持され、そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。この場合には、1次元像または2次元像が受光されて、その受光結果がデジタル信号として出力される。

【0068】また、最大値検出回路により、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出され、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される場合には、受光量が大きくても飽和することなく、受光量が小さくても分解能が優れたものとなる。

【図面の簡単な説明】

【図1】本実施形態に係る光検出装置の全体の概略構成図である。

【図2】本実施形態に係る光検出装置の積分回路の回路図である。

【図3】本実施形態に係る光検出装置の第1のCDS回路、第2のCDS回路および差分演算回路それぞれの回路図である。

【図4】本実施形態に係る光検出装置のホールド回路の回路図である。

【図5】本実施形態に係る光検出装置の最大値検出回路の回路図である。

【図6】本実施形態に係る光検出装置のA/D変換回路の回路図である。

【図7】A/D変換回路中の可変容量積分回路の詳細な回路図である。

【図8】本実施形態に係る光検出装置の動作を説明するためのタイミングチャートである。

【図9】A/D変換回路の動作を説明する図である。

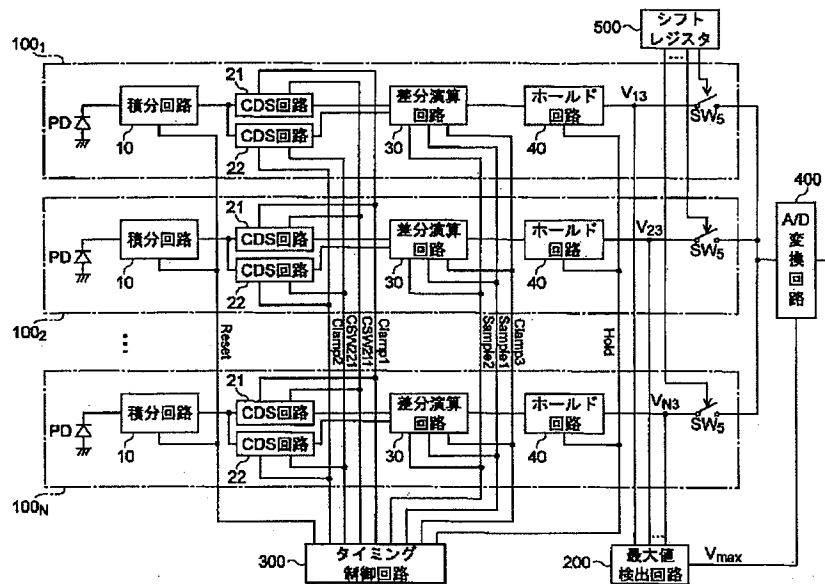
【図10】他の実施形態に係る光検出装置の差分演算回路の回路図である。

【符号の説明】

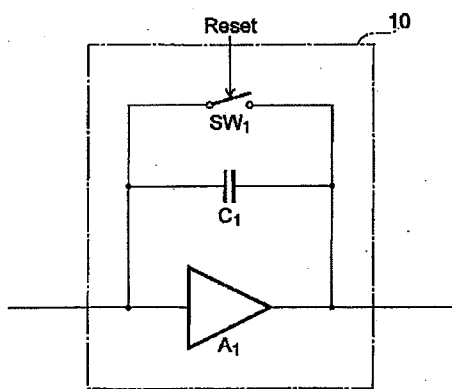
PD…フォトダイオード（受光素子）、10…積分回

* 路、21…第1のCDS回路、22…第2のCDS回路、30…差分演算回路、40…ホールド回路、200…最大値検出回路、300…タイミング制御回路、400…A/D変換回路、500…シフトレジスタ。

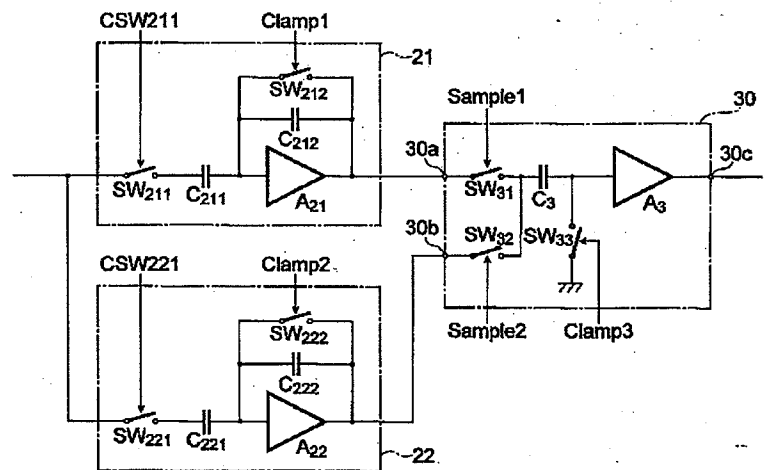
【図1】



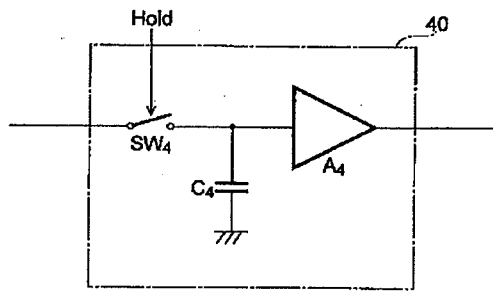
【図2】



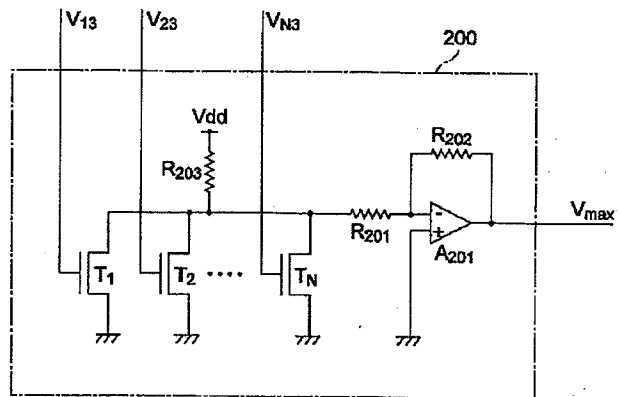
【図3】



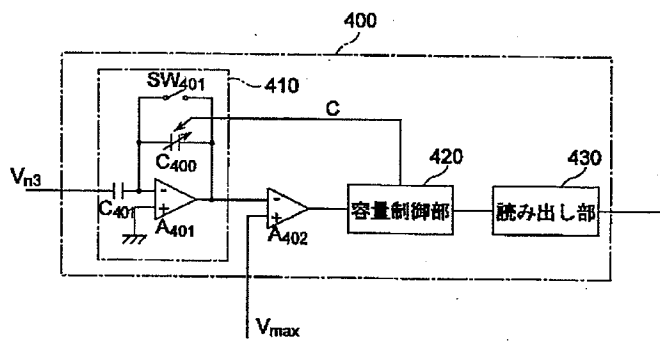
【図4】



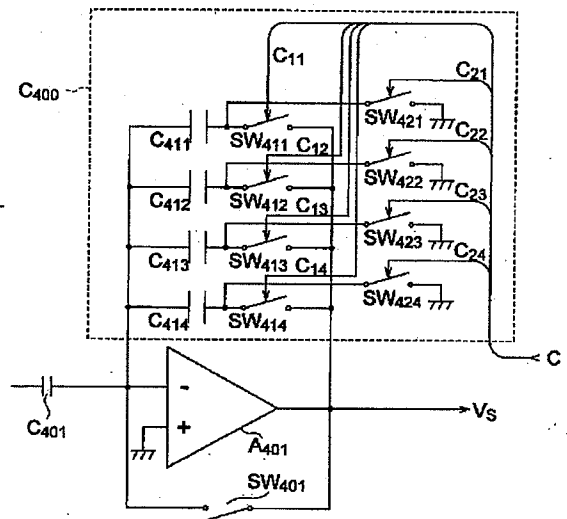
【図5】



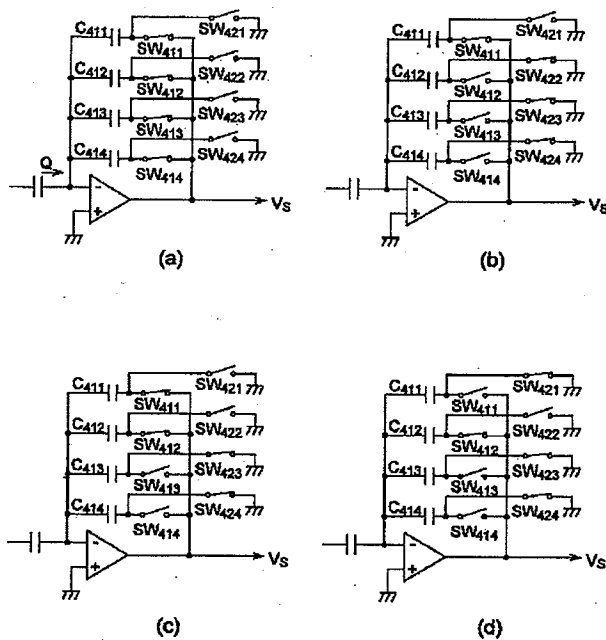
【図6】



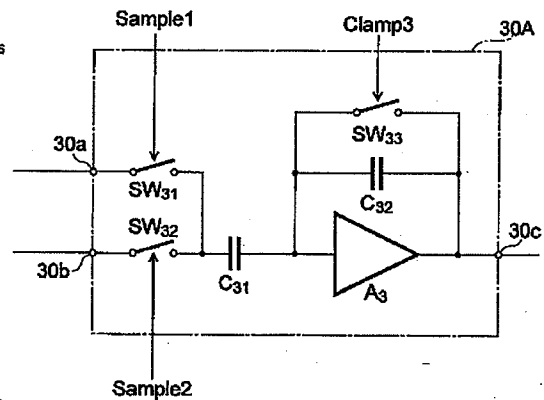
【図7】



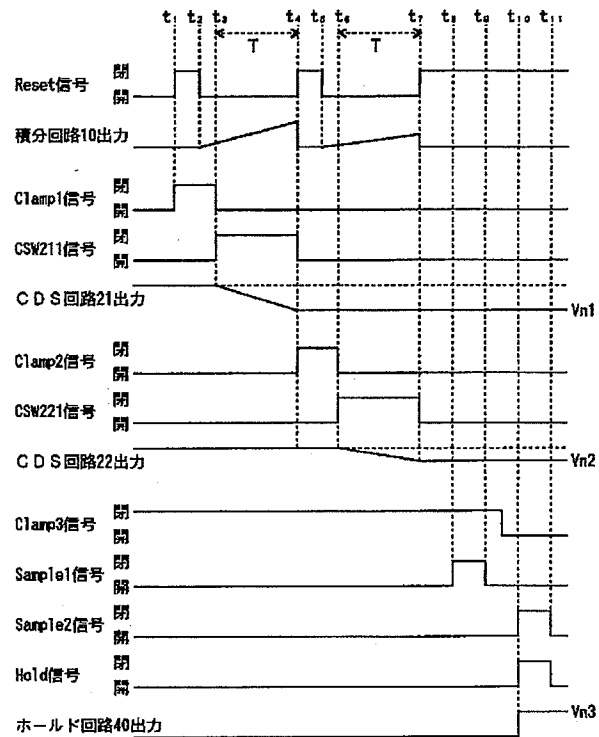
【図9】



【図10】



【図8】



フロントページの続き

F ターム(参考) 2F112 AA08 BA06 BA07 CA02 CA12
 DA26 DA28 FA03 FA05 FA07
 FA21 FA29 FA33
 2G065 AA04 AB28 BA09 BA32 BC03
 BC08 BC10 BC13 BC15 BC16
 BC19 BC22 BC28 BC33 CA12
 DA18
 2H011 AA01 BA14 BB04
 2H051 AA01 BB20 BB25 CE02 CE07
 CE08
 5F049 MA01 NA04 NA20 NB07 RA02
 UA01 UA20